

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04232922 A**

(43) Date of publication of application: **21 . 08 . 92**

(51) Int. Cl.

G02F 1/1343
G02F 1/136
H01L 27/12
H01L 29/784

(21) Application number: **02408673**

(71) Applicant: **SANYO ELECTRIC CO LTD**

(22) Date of filing: **28 . 12 . 90**

(72) Inventor: **NAKATANI NORIO**

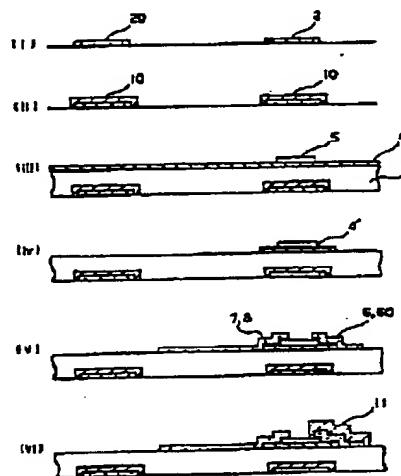
**(54) PRODUCTION OF LIQUID CRYSTAL DISPLAY
DEVICE**

(57) Abstract

PURPOSE: To enable formation of large-size low-resistance wiring material at low cost compared to a conventional method and to supply stable signals by using a conductive oxide film as a part of the wiring material since the conductive oxide film is stable without increase in resistance against an oxygen atmosphere, and especially to obtain a good effect when a Cu film is used as a part of wiring material by adding characteristics required to a connecting area with a driving IC.

CONSTITUTION: A wiring pattern 2 is formed with using a conductive oxide film material, on which a Cu single layer film or a multilayer film 10 containing at least one Cu layer is selectively deposited by plating. Further, a metal film 4' in the area not included by a counter electrode substrate and a substrate connecting sealing material is selectively removed by etching.

COPYRIGHT: (C)1992,JPO&Japio



Japanese Laid-Open Patent Publication No. 4-232922/1992
(Tokukaihei 4-232922) (Published on August 21, 1992)

(A) Relevance to claim

The following is a translation of passages related to all claims of the present invention.

(B) Translation of the relevant passages.

[0017]

[Embodiments] Figure 1 is a plan view showing one of pixel units constituting a TFT array in an active matrix liquid crystal display device manufactured by the method in accordance with the present invention. Figures 2(i) to 2(vi) are cross-sections taken along line B-B' in Figure 1, showing the manufacturing steps. The following will describe the manufacturing method in accordance with the present invention in reference to Figure 2.

[0018] Step 1 (Figure 2(i)): A gate electrode 2 is formed of a conducting oxide film material, such as ITO, In_2O_3 , SnO_2 , ZnO , or Cd_2SnO_4 . So is gate wiring 20 locally provided with a gate electrode 2.

[0019] To shield the channel region from light, the gate

electrode made of a conducting oxide film material, which is transparent to light, needs to be rendered opaque.

[0020] Step 2 (Figure 2(ii)): Accordingly, a metal film 10 is deposited by a plating technique on the gate wiring 20 of a conducting oxide film material and the gate electrode 20 electrically connected to the gate wiring 20. The step lowers the resistance of the gate wiring 20 and renders the gate electrode 2 opaque. The metal film 10 formed by plating is Au, Cu, Ni, Pd, Ag, Pt, In, Ru, Rh, Cr, Sn, Pb, Sn-Pb (molder), Zn, Co, Fe, or another metal. In view of low resistance and cost, Cu is the best among them. Although Cu does not provide good adhesion with the conducting oxide film material, a metal layer interposed between the Cu and the conducting oxide film material improves the adhesion. Examples of such metals include Ni, In, Sn, Pb, Sn-Pb (molder), Zn, Co, and Cr. Further, Cu is subject to oxidation, and to prevent this from happening, another layer of a metal, such as Au, Pt, Pd, Cr, or Ni, may be deposited on the Cu layer. As can be seen here, either a single layer or a plurality of layers may be deposited by plating. The metal layer deposited on the conducting oxide film material is not limited to Cu: any material can be used which can be deposited on the conducting oxide film material by

plating and reduce the wiring resistance. Plating can be done by an electrolytic plating or non-electrolytic plating technique.

[0021] Step 3 (Figure 2(iii)): a first insulating film (gate insulating film) 3, a semiconductor film 4, and a second insulating film (passivation insulating film) 5 are deposited one after the other by plasma CVD, for example, to form an island of the second insulating film 5.

[0022] Step 4 (Figure 2(iv)): An impurity semiconductor film 4' is deposited by plasma CVD to form an island of the semiconductor film 4 and the impurity semiconductor film 4'.

[0023] Step 5 (Figure 2(v)): A conducting oxide film material, such as ITO, In_2O_3 , SnO_2 , ZnO , or Cd_2SnO_4 , is deposited to simultaneously form a drain electrode 6, a source electrode 7, a display electrode 8, and a drain wire 60 from the conducting oxide film material. Thereafter, the impurity semiconductor film 4' is etched away from the channel region.

[0024] Step 6 (Figure 2(vi)): A metal film 11 is deposited by plating on the drain wire 60 made of the conducting oxide film material and the drain electrode 6 electrically connected to the drain wire 60. Au, Cu, Ni,

Pd, Ag, Pt, In, Ru, Rh, Cr, Sn, Pb, Sn-Pb (molder), Zn, Co, or Fe may be deposited as the metal film 11 for plating, because to achieve higher scale integration and larger surface area, the resistance of the gate wire for supplying a gate signal and the drain wire for supplying a display signal in the TFT array needs to be reduced to suppress a signal delay as much as possible. In view of low resistance and cost, Cu is the best among them. Cu has a resistance that is as low as 0.7 times that of Al and a high EM tolerance. Although Cu does not provide good adhesion with insulating films, such as glass (SiO_2) and SiN, a metal layer 12 interposed between the Cu and the drain wire 6 and drain electrode 60 made of ITO as shown in Figure 2(vi) improves the adhesion. Examples of such metals include Ni, In, Sn, Pb, Sn-Pb (molder), Zn, Co, and Cr. Further, Cu has a problem that in an oxygen atmosphere, oxidation progresses even inside the Cu film, resulting in an increased resistance. To prevent this from happening, another layer of a metal, such as Au, Pt, Pd, Cr, or Ni, may be deposited on the Cu layer. As can be seen here, either a single layer or a plurality of layers may be deposited. The metal layer deposited on the conducting oxide film material is not limited to Cu: any material can be used which can be deposited on the

conducting oxide film material by plating and reduce the wiring resistance as described earlier.

[0025] Plating can be suitably done by electrolytic plating. Non-electrolytic plating is applicable also, but in that case, resist should be applied to coat regions where the metal film should not be deposited. Accordingly, if employment of a non-electrolytic plating technique requires another step: i.e., the masking step. On the other hand, employment of an electrolytic plating technique requires the impurity semiconductor film 4' to be removed from the channel region by etching. If the impurity semiconductor film 4' exists in the channel region, the metal film 10 is deposited also on the conducting oxide film on the source electrode 7 and the display electrode 8, which is undesirable.

[0026] Figure 3 shows a plan view showing the active matrix substrate 30 fabricated by the aforementioned process. As shown in Figure 3, the active matrix substrate 30 is composed of scanning lines (gate wires) 20, signal lines (drain wires) 60, terminal electrodes for the gate terminals 21 and the drain terminals 61 where a drive IC is connected, TFTs 13 at intersections of the scanning lines 20 and display lines 60, and display electrodes 8 connected to the source electrodes

7 of the TFTs 13. An opposite electrode substrate 40 is combined with the active matrix substrate 30 of Figure 3, and liquid crystal is injected to fabricate an active matrix display panel shown in the plan view of Figure 4. Here, if the scanning lines 20 or signal lines 60 are formed from a metal film, those parts exposed to oxygen (air) are oxidized and change resistance. This inconvenience is likely to happen to a Cu film, whilst Al, Cr, and other metals form a stable passivation film (oxidized film) on the surface which unlikely allows oxidation to progress inwards and hence are not affected much by the oxidation. If a Cu film is to be used to form wires and is coated with no oxidation-inhibiting metal film, something has to be done to eliminate negative consequences of the oxidation. The regions which are likely affected by the oxidation are terminal electrodes 21, 61 where the drive IC is connected in mounting. Those regions surrounded by the opposite electrode substrate and the region coated with a combining resin (sealant) are shielded from oxygen; no extra attention needs to be paid for these regions. So, in Figure 4, the Cu film is oxidized in those regions outside the opposite electrode substrate, but is not oxidized in those regions (TFT regions) inside the opposite electrode substrate.

Possible solutions to this problem include (i) shielding the Cu film from incoming oxygen by coating the Cu film, (ii) coating the Cu film with an oxidation-inhibiting metal (Au, Pt, etc.), and (iii) exposing the conducting oxide layer by etching the Cu film away (the conducting oxide is not affected by oxidation). Testing and evaluation revealed that method (iii) was the easiest and most effective to prevent the oxidation of the Cu film from producing adverse effects. Specifically, according to method (iii), after the opposite electrode substrate 40 is combined with the active matrix substrate 30 and liquid crystal is subsequently injected to fabricate an active matrix display panel shown in Figure 3, the substrates are treated with a corrosive gas or an etchant to etch the Cu film away. Only the terminal electrodes 21, 61 connected to the drive IC are formed of the conducting oxide film by this method.

[0027] Methods (i) to (iii) are, of course, applicable whenever a metal easily affected by oxidation is used to form at least part of the wires; the application is not limited to the metal film formed by plating. Especially, when the Cu film is used as part of the wiring material, the most effective method is to add a conducting oxide film and etch only parts of the Cu film away where

-8-

exposed terminal electrodes are located on the opposite electrode substrate 4 to connect to the drive IC.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-232922

(43) 公開日 平成4年(1992)8月21日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F	1/1343	9018-2K		
	1/136	5 0 0	9018-2K	
H 0 1 L	27/12	A 8728-4M		
	29/784	9056-4M	H 0 1 L 29/78	3 1 1 A

審査請求 未請求 請求項の数6 (全 7 頁)

(21) 出願番号 特願平2-408673

(22) 出願日 平成2年(1990)12月28日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72) 発明者 中谷 紀夫

守口市京阪本通2丁目18番地 三洋電機株式会社内

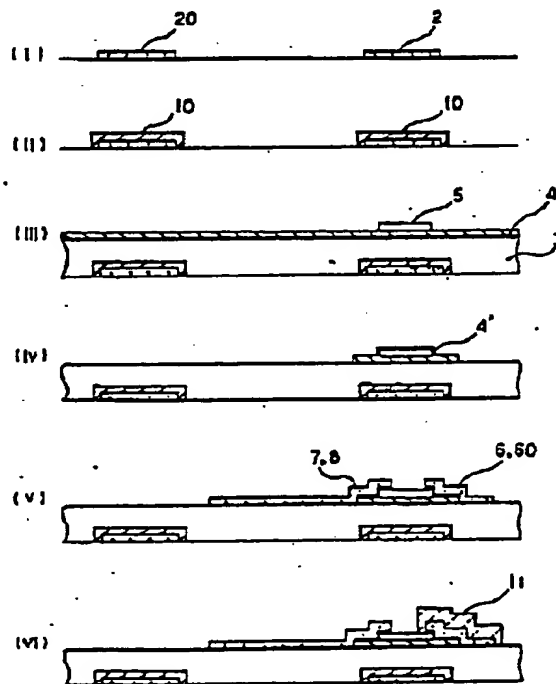
(74) 代理人 弁理士 西野 卓爾

(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【要約】 (修正有)

【構成】 導電性酸化膜材料で配線パターン2を形成後、その上に選択的にメッキ法でCu単層膜又はCuを少くとも1層含む多層膜10を堆積し、さらに対向電極基板と基板接続用シール剤から露出した領域の金属膜4'を選択的にエッチング除去する。

【効果】 従来法に比べて低コストで低抵抗配線材料を大面積形成することが可能となり、又、導電性酸化膜は酸素雰囲気に対して抵抗増加のない安定な材料であるので配線材料の一部とすることで安定な信号供給が可能となり、特に駆動用ICとの接続領域に必要な特性を付加し、特にCu膜を配線材料の一部に使用したときに有効に作用する。



【特許請求の範囲】

【請求項1】 一方の透光性絶縁基板上に複数のゲート配線と複数のドレイン配線との各交差部に薄膜トランジスタを配し、該各薄膜トランジスタを介して各々ドレイン配線に結合される表示電極を備えた表示電極基板と、他方の透光性絶縁基板上に該表示電極に対向した位置に対向電極を備えた対向電極基板と、前記両電極基板間に注入された液晶物質とからなる液晶表示装置において、導電性酸化物で該ゲート配線を形成後、該導電性酸化物上に選択的にメッキ法にて金属を堆積することで、導電性酸化物と金属膜で構成されるゲート配線を形成することを特徴とした液晶表示装置の製造方法。

【請求項2】 一方の透光性絶縁基板上に複数のゲート配線と複数のドレイン配線との各交差部に薄膜トランジスタを配し、該各薄膜トランジスタを介して各々ドレイン配線に結合される表示電極を備えた表示電極基板と、他方の透光性絶縁基板上に該表示電極に対向する位置に対向電極を備えた対向電極基板と、前記両電極基板間に挿入された液晶物質とからなる液晶表示装置において、導電性酸化物で該ドレイン配線を形成後、該導電性酸化物上に選択的にメッキ法にて金属を堆積することで、導電性酸化物と金属膜で構成されるドレイン配線を形成することを特徴とした液晶表示装置の製造方法。

【請求項3】 メッキ法で形成する金属膜がCu単層膜、又はCuを少なくとも1層含む多層膜からなることを特徴とする請求項1の液晶表示装置の製造方法。

【請求項4】 メッキ法で形成する金属膜がCu単層膜、又はCuを少なくとも1層含む多層膜からなることを特徴とする請求項2の液晶表示装置の製造方法。

【請求項5】 対向電極基板と基板接続用シール剤から露出した領域の金属膜を選択的にエッチング除去することで、対向電極基板と基板接続用シール剤で覆われた領域の表示電極基板上的ゲート配線のみ導電性酸化物と金属膜で構成され、対向電極基板と基板接続用シール剤から露出した領域の表示電極基板上的ゲート配線が導電性酸化物で構成することを特徴とする請求項1の液晶表示装置の製造方法。

【請求項6】 対向電極基板と基板接続用シール剤から露出した領域の金属膜を選択的にエッチング除去することで、対向電極基板と基板接続用シール剤で覆われた領域の表示電極基板上的ドレイン配線のみ導電性酸化物と金属膜で構成され、対向電極基板と基板接続用シール剤から露出した領域の表示電極基板上的ドレイン配線が導電性酸化物で構成することを特徴とする請求項2の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリックス液晶表示装置の製造方法に関するものである。

【0002】

【従来の技術】 近年、マトリックス配置された多数の画素単位の表示電極ごとにスイッチングトランジスタとして動作する薄膜トランジスタ（以下TFTと称する）を結合し、このTFTを駆動回路としたアクティブマトリックス液晶表示装置が開発されているが、この液晶装置は、非常に軽くて薄いので携帯用としても壁掛け用としても、CRTに替わる薄型表示装置として注目されている。

【0003】 図5（a）に従来のアクティブマトリックス表示装置におけるTFTの画素単位の平面図を示し、図5（b）に図5（a）のTFTのB-B'線に沿った断面図を示す。

【0004】 図5（b）に示す如く、TFTは、液晶表示装置の一方の透光性絶縁基板1上に形成され、ゲート配線20に局部的に備えたゲート電極2、基板全面に設けられたゲート絶縁膜3、島化された半導体膜4、該半導体膜4のソース並びにドレイン位置の各々にオーミックコンタクトを形成する不純物半導体膜5、ソース電極7並びにドレイン電極6の積層体からなるいわゆる逆スタガータイプをなし、このソース電極7に表示電極8が結合され、ドレイン電極6に表示信号を供給するドレイン配線60が結合されている。

【0005】 上述のごときアクティブマトリックス表示装置のTFTアレーの各電極は、半導体プロセス技術を用いて形成する。すなわち、電極形成用材料を蒸着、スパッタ、CVD等の方法で堆積後、フォトリソエッチングにより微細加工することで形成する。

【0006】 また、液晶表示装置は、高精細化並びに大面積化という性能アップが望まれている。高精細化並びに大面積化する場合、TFTアレーにおけるゲート信号を供給するゲート配線と表示信号を供給するドレイン配線の各配線抵抗を低減し、信号遅延を極力抑える必要がある。例えば、Cuの抵抗はAlの抵抗に比べて約0.7倍と低く、加えてEM（Electro Migration）耐性が高いが、Cuの特性として、ガラス（SiO₂）、SiN等の絶縁膜との密着性があまりよくなく、又酸素雰囲気下でCu膜酸化が内部まで進行し抵抗が増加するという問題があるため、ガラス基板上にCu配線パターンを形成する場合等は、Cu膜の下層には密着性向上のための他金属膜を、又Cu膜の上層には酸化防止用の他金属膜を形成する必要がある。その1例として、「JAPAN DISPLAY CONFERENCE, p502 (1989)」において、Ta/Cu/Taで構成された低抵抗ゲート配線が提案されている。

【0007】 ところが、この膜付けは、スパッタ等の高価な装置を用いること、又スルーボットが低いことにより製造コストの増大の原因となっている。

【0008】

【発明が解決しようとする課題】 このようなTFT製造

3

のプロセスで使用する装置は、前述の如く高価であり又スルーブットが低いため、アクティブ液晶表示装置特にTFTアレーの製造コスト増大の主要原因となっている。

【0009】また、高精細化並びに大面積化する場合、TFTアレーにおけるゲート信号を供給するゲート配線と表示信号を供給するドレイン配線の各配線抵抗を低減し、信号遅延を極力抑える必要がある。前述の理由により従来の製造方法では高価であり又大面積パターンになるほど製造コストが高くなるという課題がある。

【0010】さらに、酸素雰囲気中でCu膜酸化が内部まで進行し抵抗が増加するという問題もある。

【0011】

【課題を解決しようとするための手段】本発明の液晶表示装置の製造方法は、一方の透光性絶縁基板上に複数のゲート配線と複数のドレイン配線との各交差部に薄膜トランジスタを配し、該各薄膜トランジスタを介して各々ドレイン配線に結合される表示電極を備えた表示電極基板と、他方の透光性絶縁基板上に該表示電極に対向した位置に対向電極を備えた対向電極基板と、前記両電極基板間に注入された液晶物質とからなる液晶表示装置において、導電性酸化物で該ゲート配線を形成後、該導電性酸化物上に選択的にメッキ法にて金属を堆積することで、導電性酸化物と金属膜で構成されるゲート配線を形成するものである。

【0012】また、一方の透光性絶縁基板上に複数のゲート配線と複数のドレイン配線との各交差部に薄膜トランジスタを配し、該各薄膜トランジスタを介して各々ドレイン配線に結合される表示電極を備えた表示電極基板と、他方の透光性絶縁基板上に該表示電極に対向する位置に対向電極を備えた対向電極基板と、前記両電極基板間に挿入された液晶物質とからなる液晶表示装置において、導電性酸化物で該ドレイン配線を形成後、該導電性酸化物上に選択的にメッキ法にて金属を堆積することで、導電性酸化物と金属膜で構成されるドレイン配線を形成するものである。

【0013】さらに、メッキ法で形成する金属膜がCu単層膜、又はCuを少なくとも1層含む多層膜からなるものである。

【0014】さらにまた、対向電極基板と基板接続用シール剤から露出した領域の金属膜を選択的にエッチング除去することで、対向電極基板と基板接続用シール剤で覆われた領域の表示電極基板上のゲート配線のみ導電性酸化物と金属膜で構成され、対向電極基板と基板接続用シール剤から露出した領域の表示電極基板上のゲート配線が導電性酸化物で構成するものである。

【0015】加えて、対向電極基板と基板接続用シール剤から露出した領域の金属膜を選択的にエッチング除去することで、対向電極基板と基板接続用シール剤で覆われた領域の表示電極基板上のドレイン配線のみ導電性酸

4

化物と金属膜で構成され、対向電極基板と基板接続用シール剤から露出した領域の表示電極基板上のドレイン配線が導電性酸化物で構成するものである。

【0016】

【作用】本発明によれば、メッキ法を用いることにより、低抵抗配線材料であるCu膜等の金属膜を容易に安価で量産性が高い膜の堆積が可能であるので、装置コストの増加を抑えて大面積成膜が容易となる。それゆえ、従来法に比べて低コストで低抵抗配線材料を大面積形成することが可能となる。又、導電性酸化膜は酸素雰囲気下においても、抵抗増加のない安定な材料であるため、配線材料の一部とすることで安定な信号供給が可能となり、特に駆動用ICとの接続領域において信頼性の高い接着性をもたらす。

【0017】

【実施例】図1に本発明の製造方法によって得られるアクティブマトリックス液晶表示装置のTFTアレーの画素単位の平面図を示し、図1のB-B'線に沿った各製造工程の断面図を図2 (i)乃至(vi)に示す。以下、図2に従って本発明の製造方法について説明する。

【0018】第1工程[図2 (i)]ITO、In₂O₃、SnO₂、ZnO、Cd₂SnO₄等の導電性酸化膜材料からなるゲート電極2及び該ゲート電極2が局部的に備えられたゲート配線20とを形成する。

【0019】ここで、チャネル部を遮光するために導電性酸化膜材料のゲート電極は透光性であるのでゲート電極を不透明にする必要がある。

【0020】第2工程[図2 (ii)]そこで、前記導電性酸化膜材料で形成されたゲート配線20及びゲート配線20に電気的に接続しているゲート電極2にメッキ法にて金属膜10を堆積する。この工程によりゲート配線20の低抵抗化とゲート電極2の不透明化が実現される。このメッキする金属膜10の材料としては、Au、Cu、Ni、Pd、Ag、Pt、In、Ru、Rh、Cr、Sn、Pb、Sn-Pb(半田)、Zn、Co、Fe等の金属が堆積可能である。このような金属膜の中で、低抵抗且つ低コストという観点ではCuが最も優れている。しかしながら、Cuは導電性酸化膜材料との密着性があまりよくなく、Cu膜と導電性酸化膜材料との間に他金属膜を介在させると更に密着性が向上する。その介在させる金属膜としては、Ni、In、Sn、Pb、Sn-Pb(半田)、Zn、Co、Cr等の金属が優れている。又、Cu膜は酸化しやすいので、酸化防止用の他金属膜例えばAu、Pt、Pd、Cr、Ni等の金属をCu膜上に堆積してもよい。このようにメッキ法で堆積する金属膜は単層膜でもよく、多層膜でもよい。又導電性酸化膜上に堆積する金属膜はCuに限定するものではなく、メッキ法で導電性酸化膜上に堆積でき且つ配線抵抗を下げる材料であればよい。メッキ法としては電解メッキ法と無電解メッキ法が適用可能である。

5

【0021】第3工程【図2 (iii)】第1絶縁膜3 (ゲート絶縁膜)、半導体膜4、第2絶縁膜5 (パッシベーション絶縁膜) をプラズマCVD等により連続的に堆積し、第2絶縁膜5を島化する。

【0022】第4工程【図2 (iv)】プラズマCVDにより不純物半導体膜4'を堆積した後、半導体膜4と不純物半導体膜4'を島化する。

【0023】第5工程【図2 (v)】ITO、In₂O₃、SnO₂、ZnO、Cd、SnO₂等の導電性酸化膜材料を堆積し、該導電性酸化膜材料によりドレイン電極6と、ソース電極7と、表示電極8と、ドレイン配線60とを同時に形成する。その後、チャネル部の不純物半導体膜4'をエッチング除去する。

【0024】第6工程【図2 (vi)】導電性酸化膜で形成したドレイン配線60及びドレイン配線60に電気的に接続しているドレイン電極6にメッキ法にて金属膜11を堆積する。このメッキする金属膜11の材料としては、高精細化並びに大面積化する場合、TFTアレーにおけるゲート信号を供給するゲート配線と表示信号を供給するドレイン配線の各配線抵抗を低減し、信号遅延を極力抑える必要があるため、Au、Cu、Ni、Pd、Ag、Pt、In、Ru、Rh、Cr、Sn、Pb、Sn-Pb (半田)、Zn、Co、Fe等の金属が堆積可能である。このような金属の中で、低抵抗且つ低コストという観点ではCuが最も優れている。Cuの抵抗はAlの抵抗に比べて約0.7倍と低く、加えてEM (Electro Migration) 耐性が高い。しかしながら、Cu膜はガラス(SiO₂)、SiN等の絶縁膜との密着性がよくないので、図2 (vi) に示す如く、ITO膜で形成したドレイン電極6及びドレイン配線60とCu膜11との間に他金属膜12を介在させると密着性が向上する。その介在させる金属膜12の材料としては、Ni、In、Sn、Pb、Sn-Pb (半田)、Zn、Co、Cr等の金属が優れている。又、酸素雰囲気下でCu膜酸化が内部まで進行し抵抗が増加するという問題があるため、酸化防止用の他金属膜例えばAu、Pt、Pd、Cr、Ni等の金属をCu膜上に堆積してもよい。このように堆積する金属膜は単層膜でもよく、多層膜でもよい。又導電性酸化膜上に堆積する金属膜はCuに限定するものではなく、前述の如くメッキ法で導電性酸化膜上に堆積でき且つ配線抵抗を下げる材料であればよい。

【0025】メッキ法としては電解メッキ法が適している。無電解メッキ法も適用可能であるが、その場合は金属膜を堆積しない領域をレジストでコーティングする必要がある。すなわち、無電解メッキ法を適用する場合は、マスク工程が1工程付加されることになる。又電解メッキ法を適用する場合は、チャネル部の不純物半導体膜4'を前もってエッチング除去する必要がある。チャネル部に不純物半導体膜4'が存在すると、ソース電極

6

7と表示電極8の導電性酸化膜上にも金属膜10が堆積し、好ましくない。

【0026】図3に、前記プロセスで作成したアクティブマトリックス基板30の平面図を示す。図3において、走査線20 (ゲート配線)、信号線60 (ドレイン配線)、駆動ICを実装するゲート端子21とドレイン端子61の端子電極、走査線20と信号線60の交点のTFT13、及び該TFT13のソース電極7に連結してなる表示電極8で構成される。図3のアクティブマトリックス基板30に対向電極基板40を貼り合わせ、液晶を注入して、アクティブ液晶表示パネルが完成する。完成したアクティブ液晶表示パネルの平面図を図4に示す。ところが、走査線20又は信号線60の構成材料に金属膜を使用した場合、酸素(空気)と接触する領域では金属膜が酸化し配線抵抗が変化するという不都合が発生する。この傾向は特にCu膜に著しく、Al、Cr等の金属では表面に安定な不動態被膜(酸化膜)を形成し酸化が内部に進行しにくく、酸化の影響は少ない。Cu膜を配線材料に使用し、且つCu表面に酸化防止用他金属膜をコーティングしない場合はこの酸化による影響をなくす必要がある。酸化の影響を受ける領域は駆動用ICを実装する端子電極21、61であり、対向電極基板及び貼り合わせ用樹脂(シール剤)でコーティングされている領域より内側の領域は酸素が遮断されるので酸化の影響は考慮しなくてよい。すなわち図4において対向電極基板より内側の領域(TFT領域)はCu膜の酸化は発生せず、対向電極基板より外側の領域にCu膜の酸化が発生する。この対策として①Cu膜上に樹脂をコーティングし酸素の進入を遮断する、②Cu膜上に酸化防止用他金属膜(Au、Ptなど)をコーティングする、③Cu膜をエッチング除去し導電性酸化物層を露出させる(導電性酸化物は酸化の影響を受けない)等が考えられるが、検討した結果③の方法が最も簡単に効果があった。③は、アクティブマトリックス基板30に対向電極基板40を貼り合わせ、液晶を注入して、図3に示す液晶表示パネルを完成した後、基板をCuの腐食性ガスまたはエッチング液で処理することでCu膜をエッチング除去すればよく、簡単な方法でCu膜の酸化の影響を排除できる。③の方法では駆動用ICと接続する端子電極21、61のみが導電性酸化膜で構成されることになる。

【0027】当然であるが、①乃至③の方法は酸化の影響を受けやすい金属を配線材料の一部に使用した場合に適用可能であり、メッキ法で金属膜を形成した場合に限定するものではない。特に、Cu膜を配線材料の一部に使用する場合は導電性酸化膜を付加し、対向電極基板40から露出した駆動用ICと接続する端子電極部のみCu膜をエッチング除去する方法が最も効果的である。

【0028】

【発明の効果】以上の説明から明らかなように、本発明

7

8

の製造方法によれば、導電性酸化膜で形成した配線パターン上にメッキ法で金属膜（特にCu）を堆積するので、従来法のフォトエッチングに比べて、低抵抗配線材料である金属膜を低製造コストで形成することが可能となる。さらに、導電性酸化膜でドレイン配線、ドレイン電極、ソース電極及び表示電極を形成した対向電極基板及び基板接続用シール剤から露出した領域を有する表示電極基板上のゲート配線及びドレイン配線を導電性酸化膜で構成することで酸化雰囲気下で安定な信号供給が可能となる。

【図面の簡単な説明】

【図1】（a）に本発明によって得られる表示装置のTFT部の平面図であり、（b）は本発明によって得られる表示装置のTFT部の断面図である。

【図2】図1（a）のB-B'線に沿った各製造工程の断面図である。

【図3】本発明製造工程で製造したアクティブマトリクス基板の平面図である。

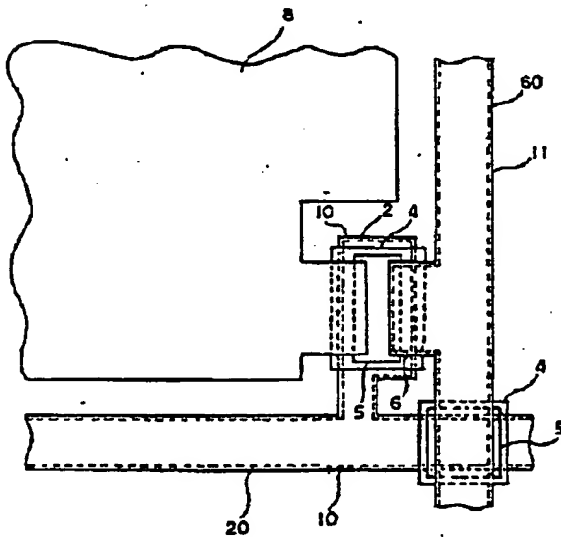
【図4】本発明によって得られる液晶表示パネルの平面図である。

【図5】従来の表示装置のTFT部の断面図である。

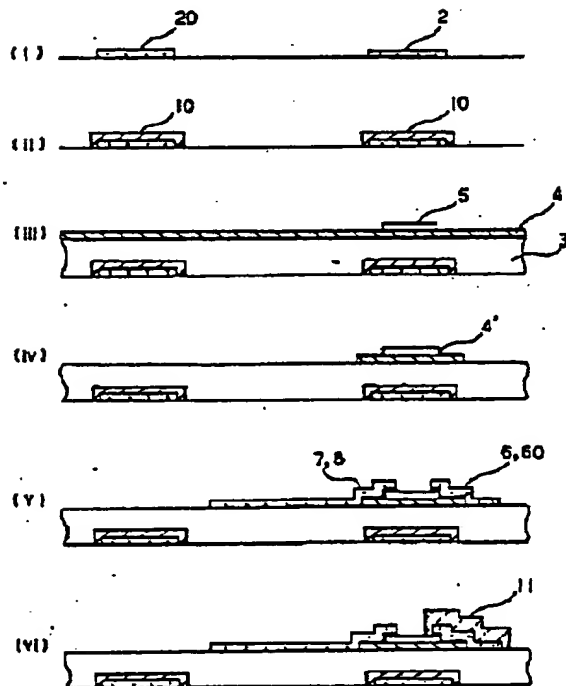
【符号の説明】

- 1 絶縁性基板
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 半導体膜
- 4' 不純物半導体膜
- 5 パッシベーション絶縁膜
- 6 ドレイン電極
- 10 7 ソース電極
- 8 表示電極
- 10 ゲート配線の一部を成す金属膜
- 11 ゲート配線の一部を成す金属膜
- 13 TFT
- 20 ゲート配線
- 21 ゲート端子電極
- 30 アクティブマトリクス基板
- 40 対向電極基板
- 60 ドレイン配線
- 20 61 ドレイン端子電極

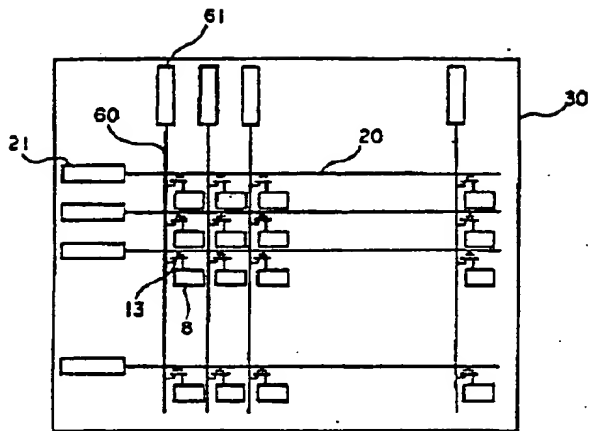
【図1】



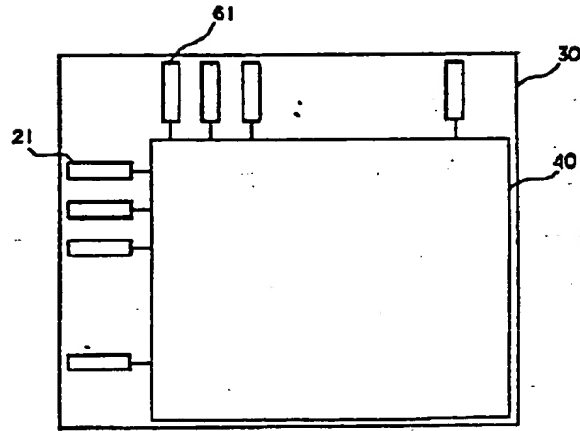
【図2】



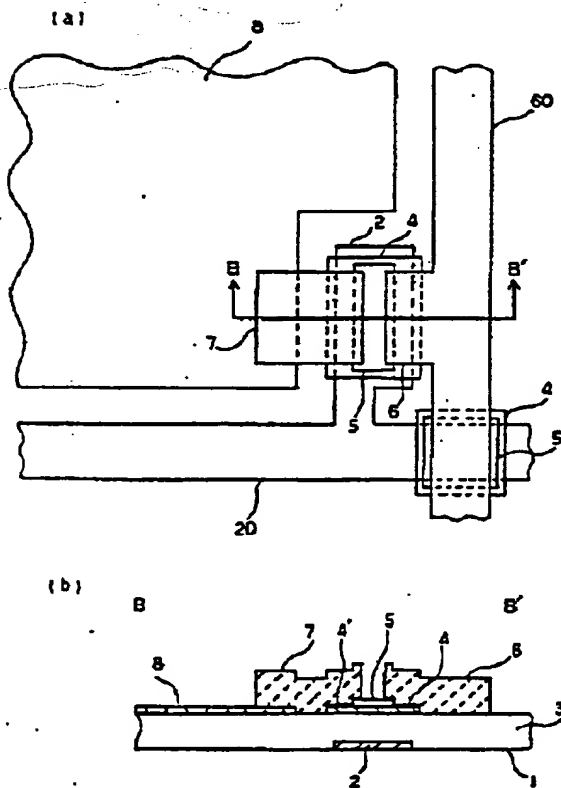
【図3】



【図4】



【図5】



【手続補正書】

【提出日】平成4年2月4日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】本発明によって得られる表示装置のTFT部の平面図である。

【手続補正2】

【補正対象 書類名】明細書

(7)

特開平4-232922

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】本発明によって得られる表示装置の各製造工程の断面図である。